

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-261326

(43)Date of publication of application : 13.09.2002

(51)Int.Cl.

H01L 33/00  
H01L 21/28  
H01L 21/3065  
H01L 29/737  
H01L 21/331  
H01L 21/338  
H01L 29/812

(21)Application number : 2001-059153

(71)Applicant : NAGOYA KOGYO UNIV  
NIPPON SANJO CORP

(22)Date of filing : 02.03.2001

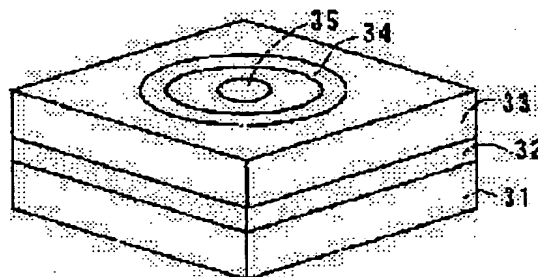
(72)Inventor : UMENO MASAYOSHI  
EGAWA TAKASHI  
ISHIKAWA HIROYASU  
AKUTSU NAKAO  
MATSUMOTO ISAO

### (54) METHOD OF MANUFACTURING GALLIUM NITRIDE COMPOUND SEMICONDUCTOR ELEMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a gallium nitride compound semiconductor element, having satisfactory electrical characteristics, by restoring damages produced in a gallium nitride compound semiconductor by plasma etching.

**SOLUTION:** A part of a semiconductor layer is etched in plasma, including reactive gas such as chlorine or boron trichloride. The semiconductor layer exposed by etching is exposed to inert gas plasma, and an electrode is formed in the semiconductor layer.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-261326

(P2002-261326A)

(43)公開日 平成14年9月13日(2002.9.13)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト*(参考)
H 0 1 L 33/00		H 0 1 L 33/00	C 4 M 1 0 4
21/28		21/28	E 5 F 0 0 3
	3 0 1		A 5 F 0 0 4
21/3065		21/302	3 0 1 H 5 F 0 4 1
			N 5 F 1 0 2
審査請求 未請求 請求項の数 3 O L (全 10 頁) 最終頁に続く			

(21)出願番号 特願2001-59153(P2001-59153)

(22)出願日 平成13年3月2日(2001.3.2)

(71)出願人 591017478

名古屋工業大学長

愛知県名古屋市昭和区御器所町(番地なし)

(71)出願人 000231235

日本酸素株式会社

東京都港区西新橋1丁目16番7号

(72)発明者 梅野 正義

愛知県名古屋市昭和区御器所町 名古屋工業大学内

(74)代理人 100086210

弁理士 木戸 一彦

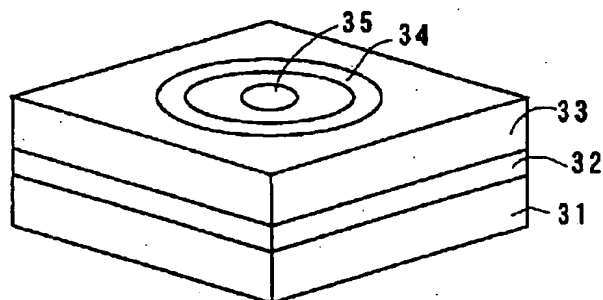
最終頁に続く

(54)【発明の名称】 窒化ガリウム系化合物半導体素子の製造方法

(57)【要約】

【課題】 プラズマエッチングにより窒化ガリウム系化合物半導体に生じたダメージを回復し、良好な電気特性を有する窒化ガリウム系化合物半導体素子を製造できる方法を提供する。

【解決手段】 半導体層の一部を塩素又は三塩化ホウ素等の反応性ガスを含むプラズマ中でエッチングした後、該エッチングにより露出した半導体層を不活性ガスプラズマに曝した後、該半導体層に電極を形成する。



## 【特許請求の範囲】

【請求項1】 基板上に窒化ガリウム系化合物半導体を積層し、該積層された半導体層の一部をプラズマエッチングし、該エッチングされて露出した電極コンタクト半導体層に電極を形成する窒化ガリウム系化合物半導体素子の製造方法であって、前記半導体層の一部を塩素又は三塩化ホウ素等の反応性ガスを含むプラズマ中でエッチングした後、該エッチングにより露出した半導体層を不活性ガスプラズマに曝した後、該半導体層に電極を形成することを特徴とする窒化ガリウム系化合物半導体素子の製造方法。

【請求項2】 前記不活性ガスプラズマ処理の後に、さらに300℃以上で熱処理することを特徴とする請求項1記載の窒化ガリウム系化合物半導体素子の製造方法。

【請求項3】 前記不活性ガスプラズマ処理に使用するガスが、窒素、ヘリウム、ネオン、クリプトン、キセノン及び水素のいずれか1種、又は、これらの2種以上の混合ガスであることを特徴とする請求項1記載の窒化ガリウム系化合物半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、窒化ガリウム系化合物半導体素子の製造方法に関し、詳しくは、窒化ガリウム系化合物半導体電子デバイスや窒化ガリウム系化合物半導体発光素子、窒化ガリウム系化合物半導体受光素子を製造する方法に関する。

## 【0002】

【従来の技術】 $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) で表される窒化ガリウム系化合物半導体は、全領域で直接遷移型の化合物半導体であり、バンドギャップが3.4 eVから1.9 eVに連続して変化することから、紫外域から橙色までの発光素子材料として盛んに研究がなされている。現在、この材料を発光層としてサファイア基板上に構成したダブルヘテロ構造の高輝度青色LED (Appl. Phys. Lett. 64 (1994) 1687) や、高輝度緑色LEDが実用化されている。また、最近、サファイア基板上に作製した $\text{In}_x\text{Ga}_{1-x}\text{N}$  井戸層を発光層とする半導体レーザーの連続発振 (Appl. Phys. Lett. 69 (1996) 4056) が実現されている。

【0003】さらに、 $\text{Al}_y\text{Ga}_{1-y}\text{N}$  ( $0 \leq y \leq 1$ ) で表される窒化ガリウム系化合物半導体は、全領域でバンドギャップが3.4 eV以上と非常に大きく、かつ、飽和電子移動が大きい、破壊電圧が大きいなどの特徴から、高温動作電子デバイス、高周波電子デバイスへの応用が期待され、盛んに研究がなされている。最近、 $\text{Al}_y\text{Ga}_{1-y}\text{N}/\text{GaN}$  ヘテロ構造を用いたHEMT (Appl. Phys. Lett. 6 (1996) 1438) やHBT (Solid-State Electronics, 44 (2000) 239) の報告がなされている。

【0004】このような窒化ガリウム系化合物半導体は、化学的に安定であることから、電極形成のために塩

素系のガスを使ったプラズマエッチングが用いられる。例えば、三塩化ホウ素 ( $\text{BCl}_3$ ) を用いたプラズマエッチング方法 (Appl. Phys. Lett. 66 (1995) 2475) の報告がなされている。また、特開平8-17803号公報には、塩素及び四塩化珪素を用いたプラズマエッチング法が開示されている。

【0005】従来の窒化ガリウム系LEDの製造方法を、図18の断面図に示す積層構造及び図19の断面図に示すLED電極構造を参照しながら説明する。最初に、図18に示すように、サファイア基板11上に、低温バッファ層12、 $\text{n-GaN}$  からなるn型コンタクト層13、 $\text{InGaN}/\text{GaN}$  からなる量子井戸型活性層14、 $\text{p-AlGaIn}$  からなるクラッド層15、 $\text{p-GaN}$  からなるp型コンタクト層16を順次有する積層構造の膜を形成した後に、次に示されるような工程を行う。

【0006】まず、400~800℃の温度で20分程度のアニールを行い、p型クラッド層の活性化を図る。次に、n型電極17を形成するために、レジストを塗布してパターニングを行い、塩素系のガスを用いたプラズマエッチングによりn型GaN層を露出させてその面にTi/Al/Au等を蒸着し、n型電極17を形成する。次に、p型電極18を形成するために、再度レジストを塗布してパターニングを行い、Ni/Au等を蒸着してp型電極18を形成する。さらに、電極金属と窒化ガリウム系化合物半導体とのオーミックコンタクトを得るために、400~700℃程度の温度で熱処理を行う。

【0007】また、従来のリセスゲート構造窒化ガリウム系MODFETの製法を図20の断面図に示す積層構造及び図21の断面図に示す電極構造を参照しながら説明する。最初に、サファイア基板21上に、GaN低温バッファ層22、 $\text{i-GaN}$  層23、 $\text{i-AlO.26GaO.74N}$  層24、 $\text{n}^+\text{-AlO.26GaO.74N}$  層25、 $\text{n}^+\text{-GaN}$  層26を順次有する積層構造の膜を形成した後に、次に示されるような工程を行う。

【0008】まず、素子間分離を行う。その後、レジストを塗布してソース電極28及びドレーン電極29のパターニングを行い、Ti/Al (25/150 nm) を蒸着してソース電極28及びドレーン電極29を形成する。次に、リセスゲート構造のゲート電極27を形成するために、レジストを塗布してパターニングを行い、塩素系のガスを用いてプラズマエッチングにより溝を形成する。次に、レジストを塗布してゲート電極27を形成するためのパターニングを行い、Pt/Ti/Au (10/40/100 nm) を蒸着してゲート電極27を形成する。

## 【0009】

【発明が解決しようとする課題】従来の窒化ガリウム系

化合物半導体を用いた FET、バイポーラトランジスタ、ダイオード等の電子デバイス、LEDやLD等の半導体発光素子では、電極形成のために半導体層をエッチングする必要がある。窒化ガリウム系化合物半導体は、化学的に非常に安定なため、ウェットエッチングが困難である。そのため、一般に、反応性ガスを用いたプラズマエッチング法（反応性イオンエッチング法）が採用されている。

【0010】しかし、プラズマエッチングでは、大きな運動エネルギーを持ったイオンが膜に衝突するため、表面近傍に結晶の乱れや不純物混入が生じる。プラズマエッチングによるダメージは、電気特性の劣化や発光効率低下の原因となる。

【0011】そこで本発明は、プラズマエッチングにより窒化ガリウム系化合物半導体に生じたダメージを回復し、良好な電気特性を有する窒化ガリウム系化合物半導体素子、例えば窒化ガリウム系化合物半導体電子デバイスや窒化ガリウム系化合物半導体発光素子、窒化ガリウム系化合物半導体受光素子を製造することができる窒化ガリウム系化合物半導体素子の製造方法を提供することを目的としている。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明の窒化ガリウム系化合物半導体素子、すなわち、窒化ガリウム系化合物半導体電子デバイス（FET、バイポーラトランジスタ、ダイオード等）、窒化ガリウム系化合物半導体発光素子及び窒化ガリウム系化合物半導体受光素子（LED、LD）の製造方法は、基板上に窒化ガリウム系化合物半導体を積層し、該積層された半導体層の一部をプラズマエッチングし、該エッチングされて露出した電極コンタクト窒化ガリウム系化合物半導体層に電極を形成する窒化ガリウム系化合物半導体素子の製造方法であって、前記半導体層の一部を塩素又は三塩化ホウ素等の反応性ガスを含むプラズマ中でエッチングした後、該エッチングにより露出した半導体層を不活性ガス、例えば窒素ガス等を使用した不活性ガスプラズマに曝すことを特徴とし、さらに好ましくは、不活性ガスを主成分とする雰囲気中で300℃以上の温度で熱処理を行い、これらの不活性ガスプラズマ処理及び熱処理を行った後に、該半導体層に電極形成を行うことを特徴としている。

【0013】前記熱処理の時間は、処理温度により異なり、700℃の処理温度では5分から20分程度で効果が得られる。温度が低い場合には処理時間が長くなり、例えば500℃では十分な効果を得るために40分以上の熱処理が、300℃では十分な効果を得るために5時間以上の熱処理が望ましい。

【0014】前記不活性ガスプラズマ処理のガス種は、窒素、ヘリウム、ネオン、クリプトン、キセノン、水素のいずれか1種又はこれらの2種類以上を含む混合ガス

が望ましい。また、不活性ガスプラズマ処理のガス中に、塩素系のガス、酸素、水、パーフロロカーボン、三フッ化窒素等のガスが含まれていても、これらのガス濃度が3%以下であれば良好な電気特性を得ることができる。

【0015】前記不活性ガスプラズマ処理を行うと、プラズマを構成するイオンによって露出した膜がエッチングされるが、プラズマによるダメージを軽微にとどめるためには、プラズマに供給するパワーを小さくしてエッチング速度を0.5μm/時以下に抑えることが好ましい。

【0016】上述の製造方法によれば、プラズマエッチング工程の後に不活性ガスプラズマによる暴露処理を施すことにより、不純物やダメージを多く含む露出した半導体層の表面近傍層が除去されるため、電極と電極コンタクト半導体層との間の電気特性が改善される。さらに、この不活性ガスプラズマ暴露処理の後に300℃以上の温度で熱処理を行うことにより、電極とコンタクト半導体層との間の電気特性が更に改善する。熱処理による効果の原因は明確でないが、半導体表面近傍の結晶性が回復したことによると考えられる。

【0017】

【実施例】実施例1

全面をプラズマエッチングしたn型GaNを用いて図1に断面図で示す構造のショットキーダイオードを作製し、ダイオード特性を測定した。なお、通常、ショットキーダイオードは、プラズマエッチングの必要がなく、オーミック電極とショットキー電極とをn型GaN半導体層の表面に形成している。

【0018】MOCVD法により、サファイア基板31上に膜厚30nmの低温バッファ層32、Siドープn型GaN層（層膜厚2.5μm、キャリア密度 $2 \times 10^{17} \text{ cm}^{-3}$ ）33を形成した。次に、BCl<sub>3</sub>とCl<sub>2</sub>とを反応性ガスとしてn型GaN層33を約200nmプラズマエッチングした。n型GaN層33のエッチングは、エッチングガスの総流量を10sccmとし、圧力3Pa、RFパワー10WのRFプラズマ中で約25分を行った。200nmのn型GaN層エッチングを行った後、引き続きエッチングガスをN<sub>2</sub>ガスに切り換え、圧力5Pa、RFパワー3Wの窒素プラズマに約5分間曝した。

【0019】窒素プラズマ処理後、レジストを塗布してパターニングを行い、オーミック電極材料のTi（25nm）/Al（150nm）を蒸着した。さらに、レジスト等の除去洗浄を行った後、オーミックコンタクトを得るために、窒素雰囲気中で700℃、1分の熱処理を行った。露出した電極コンタクト半導体層であるn型GaN層33にオーミック電極34を形成した後、レジストを塗布してショットキー電極形成のためのパターニングを行い、ショットキー電極材料のPd（100nm）

を蒸着してショットキー電極35を形成した。最後に、レジスト等の除去洗浄を行った。

【0020】作製したショットキーダイオードのI-V特性の測定結果を図2に示す。また、比較として、n型Ga<sub>0.5</sub>N層を200nmプラズマエッチングした後、窒素プラズマ処理を行わずに作製したショットキーダイオードと、n型Ga<sub>0.5</sub>N層のプラズマエッチングを行わずに作製したショットキーダイオードにおけるそれぞれのI-V特性も図2に示す。

【0021】さらに、表1に、本発明方法で作製したショットキーダイオードと、窒素プラズマ処理無しで作製 \*

したショットキーダイオードと、n型Ga<sub>0.5</sub>N層のプラズマエッチングを行わずにアズグロンのn型Ga<sub>0.5</sub>Nを用いて作製したショットキーダイオードにおけるダイオード理想因子(n)、ショットキー障壁高さ(φ<sub>b</sub>)、逆方向電流0.1μAにおける逆方向電圧(V<sub>R</sub>)をそれぞれ示す。理想因子とショットキー障壁高さの計算は、電極面積を1.77×10<sup>-8</sup>m<sup>2</sup>、リチャードソン定数を2.64×10<sup>5</sup>Am<sup>-2</sup>K<sup>-2</sup>として行った。

【0022】

【表1】

	n	φ <sub>b</sub> [eV]	V <sub>R</sub> [V]
エッチング無し	1.09	1.11	-39.2
窒素プラズマ処理無し	1.40	0.74	-6.8
窒素プラズマ処理有り	1.24	0.84	-28.3

【0023】図2及び表1から、エッチング無しで作製したショットキーダイオード特性との比較から明らかなように、窒素プラズマ処理無しで作製したショットキーダイオードでは、プラズマエッチングによるダメージや不純物による影響で、ダイオード理想因子の増加、ショットキー障壁高さの減少、逆方向電流の増加がみられる。一方、本発明方法で作製したショットキーダイオードでは、窒素プラズマ処理無しで作製したショットキーダイオードと比較して、エッチング無しで作製したショットキーダイオード特性に近い結果が得られている。このことから、本発明の製造技術により、プラズマエッチングでGa<sub>0.5</sub>N界面や膜中に生じたダメージや不純物による悪影響が減少することが明確である。

【0024】本実施例により、本発明の製造技術が、ショットキーダイオードの製造のみならずプラズマエッチングが必要なLED、LD、FETの製造に有効性であることが明らかである。

【0025】実施例2

実施例1と同様に、MOCVD法により、サファイア基板31上に膜厚30nmの低温バッファ層32、Siドープn型Ga<sub>0.5</sub>N層(層膜厚2.5μm、キャリア密度2×10<sup>17</sup>cm<sup>-3</sup>)33を形成した。次に、BCl<sub>3</sub>とCl<sub>2</sub>とを反応性ガスとして用いたプラズマエッチングでn型Ga<sub>0.5</sub>N33を約200nmエッチングした。n型Ga<sub>0.5</sub>N33のエッチングは、エッチングガスの総流量を10sccmとし、圧力3Pa、RFパワー10WのRFプラズマ中で約25分を行った。200nmのn型Ga<sub>0.5</sub>Nエッチングを行った後、引き続きエッチングガスをN<sub>2</sub>ガスに切り換え、圧力5Pa、RFパワー3Wの窒素プラズマに約5分間曝した。窒素プラズマ処理後、

さらに窒素雰囲気中で700℃、20分のアニールを行った。

【0026】アニール処理後、レジストを塗布してパターンニングを行い、オーミック電極材料のTi(25nm)/Al(150nm)を蒸着し、レジスト等の除去洗浄を行った後、オーミックコンタクトを得るために、窒素雰囲気中で700℃、1分の熱処理を行った。オーミック電極形成後、レジストを塗布してショットキー電極形成のためのパターンニングを行い、ショットキー電極材料のPd(100nm)を蒸着し、レジスト等の除去洗浄を行った。

【0027】本発明方法を用いて作製したショットキーダイオードのI-V特性の結果を図3に示す。また、比較として、n型Ga<sub>0.5</sub>N層のプラズマエッチング後、窒素プラズマ処理を行わずにアニール処理のみを行って作製したショットキーダイオードと、n型Ga<sub>0.5</sub>N層のプラズマエッチングを行わずに作製したショットキーダイオードにおけるI-V特性も図3に示す。

【0028】さらに、表2に、本発明方法で作製したショットキーダイオードと、n型Ga<sub>0.5</sub>N層のプラズマエッチング後窒素プラズマ処理を行わずにアニール処理のみを行って作製したショットキーダイオードと、n型Ga<sub>0.5</sub>N層のプラズマエッチングを行わずにアズグロンのn型Ga<sub>0.5</sub>Nを用いて作製したショットキーダイオードにおけるダイオード特性を表すダイオード理想因子(n)、ショットキー障壁高さ(φ<sub>b</sub>)、逆方向電流0.1μAにおける逆方向電圧(V<sub>R</sub>)をそれぞれ示す。

【0029】

【表2】

	n	$\phi_s$ [eV]	$V_s$ [V]
エッチング無し	1.09	1.11	-89.2
窒素プラズマ処理無し+アニール	1.25	0.77	-7.8
窒素プラズマ処理有り+アニール	1.10	1.07	-35.0

【0030】図3及び表2において、エッチング無しで作製したショットキーダイオード特性との比較から明らかなように、エッチング後窒素プラズマ処理を行わずにアニール処理のみを行って作製したショットキーダイオードでは、プラズマエッチングによるダメージや不純物による影響で、ダイオード理想因子の増加、ショットキー障壁高さの減少、逆方向電流の増加がみられる。一方、本発明方法で作製したショットキーダイオードでは、エッチング無しで作製したショットキーダイオード\*

\*特性と同等の結果が得られている。

【0031】表3は、上記窒素プラズマ処理を、ヘリウムプラズマ処理、ネオンプラズマ処理、キセノンプラズマ処理、クリプトンプラズマ処理、水素プラズマ処理及びこれらの混合ガスプラズマ処理に代えて作製したショットキーダイオードの特性を示している。なお、ガス種以外のプロセス条件は全て同じである。

【0032】

【表3】

ガス種	n	$\phi_s$
窒素	1.10	1.07
ヘリウム	1.09	1.08
クリプトン	1.80	0.93
キセノン	1.23	1.02
水素	1.18	0.96
混合ガス (He:Kr:Xe:H <sub>2</sub> =1:1:1)	1.15	1.01
混合ガス (H <sub>2</sub> :He:Kr:Xe:H <sub>2</sub> =5:1:1:1)	1.12	1.01
混合ガス (He:Ne:Kr:Xe:H <sub>2</sub> =3:1:1:1)	1.09	1.06

【0033】表3の結果から、窒素プラズマ処理をヘリウムプラズマ処理、ネオンプラズマ処理、キセノンプラズマ処理、クリプトンプラズマ処理、水素プラズマ処理及びこれらの混合ガスプラズマ処理に代えても効果があることが確認された。これらのことから、本発明の製造技術により、プラズマエッチングでGa<sub>0.5</sub>N界面や膜中に生じたダメージや不純物による悪影響が減少することが明確である。

【0034】本実施例により、本発明の製造技術が、ショットキーダイオードの製造のみならずプラズマエッチングが必要なLED、LD、FET等の製造に有効性であることが明かである。

【0035】実施例3

図4の平面図及び図5の断面図（図4のV-V線断面図）に示すような窒化ガリウム系化合物半導体のLEDを作製した。まず、MOCVD法により、サファイア基板41上に膜厚30nmの低温バッファ層42、Siドープn型Ga<sub>0.5</sub>N層（2.5nm）43、InGa<sub>0.5</sub>N（3nm）/Ga<sub>0.5</sub>N（7nm）3周期量子井戸活性層44、MgドープAlGa<sub>0.5</sub>Nクラッド層（20nm）45、MgドープGa<sub>0.5</sub>Nコンタクト層（200nm）46を形成した。

【0036】次に、プラズマエッチング時のマスクとなるNiを全面蒸着し、n型電極を形成するためにレジストを塗布してパターニングを行い、不用部分をウェットエッチングで除去し、膜の一部をプラズマエッチングしてn型Ga<sub>0.5</sub>N層43を露出させた。プラズマエッチングは、BCl<sub>3</sub>ガスを10sccmで流し、圧力3Pa、RFパワー100Wの条件で7分行った。このときのエ

ッチング深さは450nmである。BCl<sub>3</sub>プラズマによるエッチング終了後、ガスをN<sub>2</sub>に切り換え、圧力5Pa、RFパワー3Wの窒素プラズマに5分間曝した。試料をエッチング装置から取り出し、Niをウェットエッチングにより除去し、窒素雰囲気中で、700℃、20分の熱処理を行った。熱処理後、n型電極形成のためのパターニングを行い、蒸着でn型電極Ti（15nm）/Al（80nm）/Ni（10）/Au（80nm）47を形成した。

【0037】n型電極47を形成後、レジストを除去した。なお、n型電極とn型半導体との合金化のための熱処理は必要に応じて行えばよい。次に、レジストを塗布してp型電極形成のためのパターニングを行い、蒸着でp電極Ni（10nm）/Au（150nm）48を形成した後、レジストを除去した。なお、p型電極48とp型半導体との合金化のための熱処理は必要に応じて行えばよい。

【0038】さらに、本実施例では、エッチング後のn型電極間の評価を行うために、LED構造電極とn型電極とのテストパター（テスト電極）を同時に形成した。このテスト電極の平面図を図6に、図6のVII-VII線断面図を図7にそれぞれ示す。

【0039】図8に、本発明方法で作製したLEDのI-V曲線（実線）と、従来法で作製したLEDのI-V曲線（一点鎖線）とを示す。従来法によるLEDは、p型層のMg活性化熱処理を電極形成プロセスの前に行い、プラズマエッチング後の窒素プラズマ処理と窒素雰囲気中での700℃の熱処理とは行わずに作製したものである。また、従来法では、プラズマエッチング処理後

に王水洗浄を行っている。なお、本発明方法で作製したLEDでは、電極形成プロセス前のp型層のMg活性化熱処理は行っていない。図8の結果から明らかなように、本発明方法でLEDを作製することにより、順方向電圧が4.5Vから3.8Vへと0.7V改善したことがわかる。

【0040】図6及び図7に示したn型電極のテストバタ―を使った評価から、本発明方法を用いることにより、電極間抵抗が17.6Ωから10.1Ωに改善しているのがわかった。本実施例より、本発明の製造方法が、オーミック性コンタクト形成に非常に有効であることが明らかである。

#### 【0041】実施例4

図9～図12の断面図に示す工程でnpnバイポーラトランジスタを作製し、その評価を行った。まず、MOCVD法により、サファイア基板51の上に、膜厚30nmの低温バッファ層52、膜厚2μmのn<sup>+</sup>-Ga<sub>0.9</sub>N<sub>0.1</sub>サブコレクター層(Si濃度1×10<sup>19</sup>cm<sup>-3</sup>)53、膜厚700nmのn<sup>-</sup>-Ga<sub>0.9</sub>N<sub>0.1</sub>コレクター層(キャリア密度6×10<sup>16</sup>cm<sup>-3</sup>)54、膜厚100nmのGa<sub>0.9</sub>N<sub>0.1</sub>ベース層(Mg濃度1×10<sup>20</sup>cm<sup>-3</sup>)55、膜厚500nmのn<sup>+</sup>-Ga<sub>0.9</sub>N<sub>0.1</sub>エミッター層(Si濃度1×10<sup>19</sup>cm<sup>-3</sup>)56を順次形成した(図9)。

【0042】次に、プラズマエッチング時のマスクとなるNi(ニッケル層)57を全面蒸着し、コレクター電極を形成するためにレジストを塗布してパターニングを行い、不用部分のNi57をウエットエッチングで除去し、膜の一部をプラズマエッチングしてGa<sub>0.9</sub>N<sub>0.1</sub>サブコレクター層53を露出させた。プラズマエッチングは、BCl<sub>3</sub>ガスを10sccmで流し、圧力3Pa、RFパワー100Wの条件で約17分行った。このときのエッチング深さは1.11μmである(図10)。

【0043】所定の深さのエッチングを行った後、ベース電極を形成するために、レジストを塗布してパターニングを行い、Ni57をウエットエッチングで除去し、膜の一部をプラズマエッチングしてGa<sub>0.9</sub>N<sub>0.1</sub>ベース層55を露出させた。プラズマエッチングは、BCl<sub>3</sub>ガスを10sccmで流し、圧力3Pa、RFパワー100Wの条件で約8分行う。このときのエッチング深さは510μmである。BCl<sub>3</sub>プラズマによるエッチングを終了後、ガスをN<sub>2</sub>に切り換え、圧力5Pa、RFパワー3Wの窒素プラズマに5分間曝した(図11)。試料をエッチング装置から取り出し、Ni57をウエットエッチングにより除去し、窒素雰囲気中で、700℃、20分の熱処理を行った。

【0044】最後に、レジストを塗布してパターニングを行い、蒸着によってコレクター電極58、エミッター電極59及びベース電極60をそれぞれ形成した(図12)。このときのコレクター電極58とエミッター電極

59の構造は、Ti(15nm)/Al(80nm)/Ni(10nm)/Au(80nm)であり、ベース電極60の構造は、Ni(10nm)/Au(150nm)である。電極の合金化の熱処理は、必要に応じて行えばよい。

【0045】本実施例では、ベース電極60のオーミック性を調べるために、図13に平面図で示すテスト電極も同時に形成した。

【0046】図14は、ベース層55に形成したテスト電極60間のI-V特性を示すもので、従来法(一点鎖線)で作製した試料に比べ、本発明方法(実線)を用いることでオーミック接触特性が大幅に改善しているのが明らかである。なお、従来技術では、Mgの活性化のための熱処理はNiマスク形成前に窒素雰囲気中で700℃、20分の条件で行い、エッチング後のプラズマ処理、熱処理は行っていない。

【0047】表4に、従来法で作製したnpnトランジスタと本発明方法を用いて作製したnpnトランジスタにおける電流増幅率を示す。トランジスタはエミッター接地とし、ベース電流1mA、コレクターエミッター間電圧12Vで測定した。本発明の製造技術の採用により、電流増幅率は1.7倍から4.2倍と飛躍的に改善した。

#### 【0048】

【表4】

	電流増幅率
従来法によるnpnトランジスタ	1.7
本発明方法によるnpnトランジスタ	4.2

【0049】以上の結果から、本発明がバイポーラトランジスタの製造に有効であることが明らかである。なお、本発明方法がヘテロバイポーラトランジスタ及びダイオードの製造に有効であることはいうまでもない。

#### 【0050】実施例5

図15～図17の断面図に示す工程でリセスゲート構造型モジュレーションドープFET(MODFET)を作製し、その評価を行った。まず、MOCVD法により、サファイア基板61上に膜厚30nmの低温バッファ層62、膜厚2.5μmのi-Ga<sub>0.9</sub>N<sub>0.1</sub>層63、膜厚10nmのi-Al<sub>0.26</sub>Ga<sub>0.74</sub>N層64、膜厚20nmのn<sup>+</sup>-Al<sub>0.26</sub>Ga<sub>0.74</sub>N層(Si濃度1×10<sup>18</sup>cm<sup>-3</sup>)65、膜厚20nmのn<sup>+</sup>-Ga<sub>0.9</sub>N<sub>0.1</sub>層(Si濃度1×10<sup>19</sup>cm<sup>-3</sup>)66を順次形成した(図15)。

【0051】まず、素子間分離を行う。次に、レジストを塗布してパターニングを行い、蒸着によりソース電極67及びドレーン電極68を形成し、その後、リフトオフして不要部分を除去した。次に、レジストを塗布してリセスゲート構造のゲート電極69を作製するためのパターニングを行い、膜の一部をプラズマエッチングしてn<sup>+</sup>-Al<sub>0.26</sub>Ga<sub>0.74</sub>N層65を露出させた

(図16)。プラズマエッチングは、BCl<sub>3</sub>ガスを10 sccmで流し、圧力3 Pa、RFパワー10 Wの条件で約10分を行った。このときのエッチング深さは30 nmである。BCl<sub>3</sub>プラズマによるエッチング終了後、ガスをN<sub>2</sub>に切り換え、圧力5 Pa、RFパワー3 Wの窒素プラズマに5分間曝した。試料をエッチング装置から取り出し、レジストを除去して窒素雰囲気中で、500℃、40分の熱処理を行った。次に、レジストを塗布してゲート電極69を形成するためのパターンニングを行い、蒸着によりゲート電極69を形成した。

【0052】ソース電極67とドレーン電極68の構造は、Ti (25 nm) / Al (150 nm) であり、ゲート電極69の構造は、Pt (10 nm) / Ti (40 \*

	ソースドレーン電流	最大相互コンダクタンス
従来法	600 mA/mm	93 mS/mm
本発明方法	900 mA/mm	146 mS/mm

【0055】表5から明らかなように、本発明方法を採用することにより、MODFETの最大相互コンダクタンスは146 mS/mmと大きな改善が見られる。

【0056】

【発明の効果】以上説明したように、本発明の窒化ガリウム系化合物半導体素子の製造方法によれば、プラズマエッチングにより窒化ガリウム系化合物半導体に生じたダメージを回復し、良好な電気特性を有する窒化ガリウム系化合物半導体素子を製造することができる。

【図面の簡単な説明】

【図1】 実施例1で作製したショットキーダイオードの構造を示す断面図である。

【図2】 実施例1で作製したショットキーダイオードのI-V特性を示す図である。

【図3】 実施例2で作製したショットキーダイオードのI-V特性を示す図である。

【図4】 実施例3で作製した窒化ガリウム系化合物半導体のLEDを示す平面図である。

【図5】 図4のV-V線断面図である。

【図6】 実施例3で作製したテスト電極の平面図である。

【図7】 図6のVII-VII線断面図である。

【図8】 実施例3で作製した窒化ガリウム系化合物半導体のLEDのI-V曲線を示す図である。

【図9】 実施例4におけるnpnバイポーラトランジスタの第1製作工程を示す断面図である。

【図10】 実施例4におけるnpnバイポーラトランジスタの第2製作工程を示す断面図である。

【図11】 実施例4におけるnpnバイポーラトランジスタの第3製作工程を示す断面図である。

【図12】 実施例4で作製したnpnバイポーラトランジスタの断面図である。

【図13】 実施例4で作製したテスト電極の平面図である。

\*nm) / Au (100 nm) である。なお、ゲートの構造は、ゲート長2 μm、ゲート幅15 μmとした(図17)。

【0053】表5に、エッチング後に窒素プラズマ処理と窒素雰囲気中熱処理(500℃、40分)とを行わない従来法で作製したMODFETと本発明方法を採用して作製したMODFETとにおける最大相互コンダクタンスとドレーンソース電流とを示す。なお、ソースドレーン電流は、最大相互コンダクタンス時の電流である。

【0054】

【表5】

【図14】 実施例4で作製したnpnバイポーラトランジスタのI-V特性を示す図である。

【図15】 実施例5におけるリセスゲート構造型モジュレーションドープFETの第1製作工程を示す断面図である。

【図16】 実施例5におけるリセスゲート構造型モジュレーションドープFETの第2製作工程を示す断面図である。

【図17】 実施例5で作製したリセスゲート構造型モジュレーションドープFETの断面図である。

【図18】 窒化ガリウム系LEDの積層構造を示す断面図である。

【図19】 窒化ガリウム系LEDの電極構造を示す断面図である。

【図20】 リセスゲート構造窒化ガリウム系MODFETの積層構造を示す断面図である。

【図21】 リセスゲート構造窒化ガリウム系MODFETの電極構造を示す断面図である。

【符号の説明】

31…サファイア基板、32…低温バッファ層、33…Siドープn型GaN層、34…オーミック電極、35…ショットキー電極、41…サファイア基板、42…低温バッファ層、43…Siドープn型GaN層、44…InGaN/GaN3周期量子井戸活性層、45…MgドープAlGaNクラッド層、46…MgドープGaNコンタクト層、47…n型電極、48…p電極、51…サファイア基板、52…低温バッファ層、53…n<sup>+</sup>-GaNサブコレクター層、54…n<sup>-</sup>-GaNコレクター層、55…GaNベース層、56…n<sup>+</sup>-GaNエミッター層、57…Ni(ニッケル層)、58…コレクター電極、59…エミッター電極、60…ベース電極、61…サファイア基板、62…低温バッファ層、63…i-GaN層、64…i-Al<sub>0.26</sub>Ga<sub>0.74</sub>Nスペーサー層、65…n<sup>+</sup>-Al<sub>0.26</sub>G



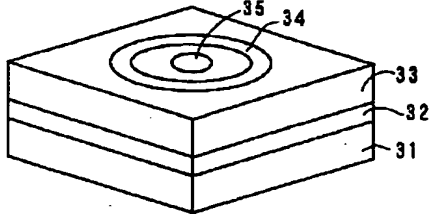
13

a o. 74 N層、66...n<sup>+</sup>-Ga N層、67...ソース

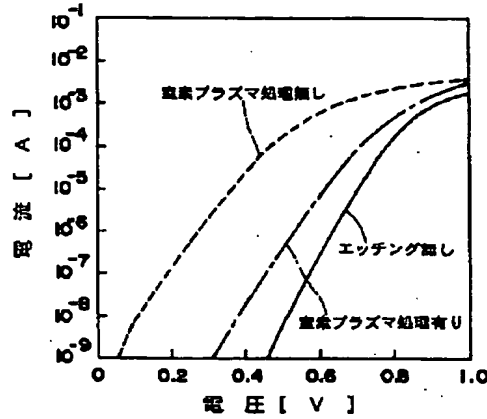
14

電極、68...ドレーン電極、69...ゲート電極

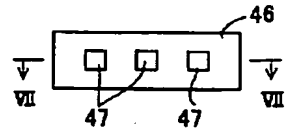
【図1】



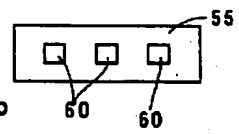
【図2】



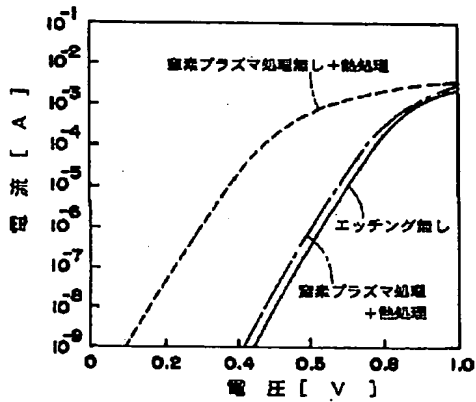
【図6】



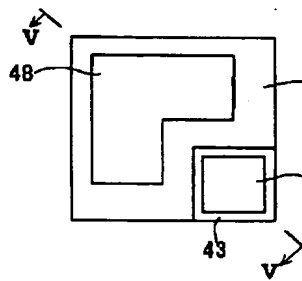
【図13】



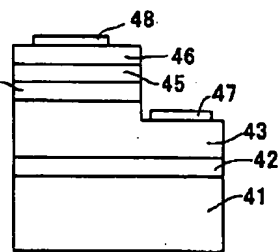
【図3】



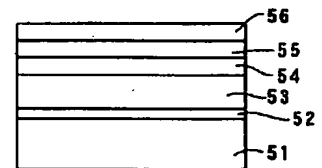
【図4】



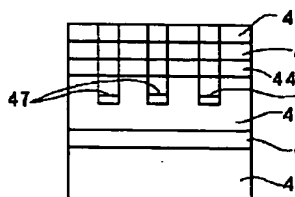
【図5】



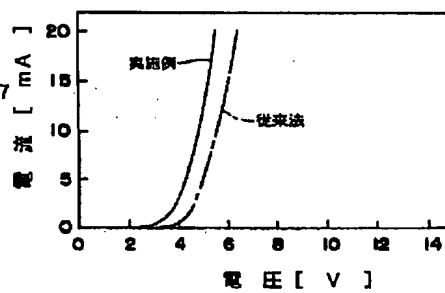
【図9】



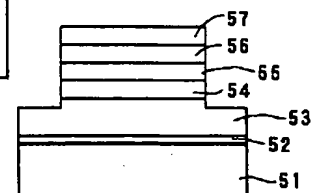
【図7】



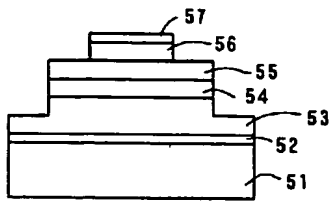
【図8】



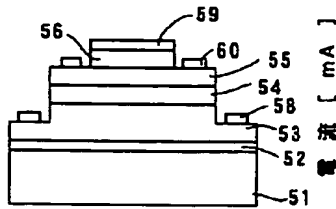
【図10】



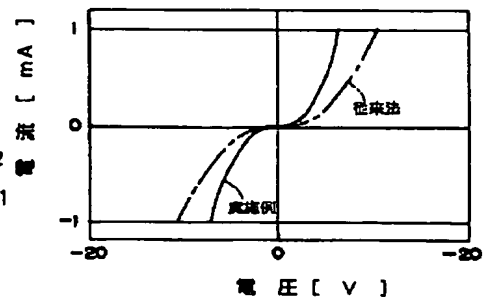
【図 11】



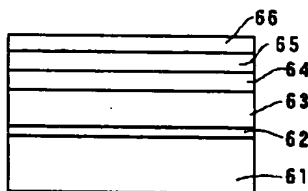
【図 12】



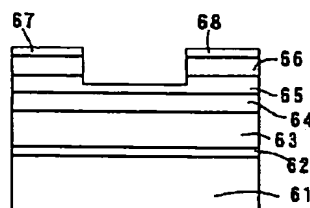
【図 14】



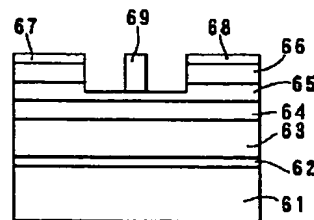
【図 15】



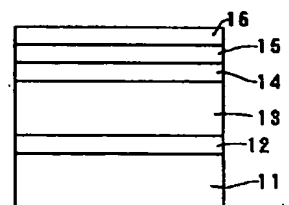
【図 16】



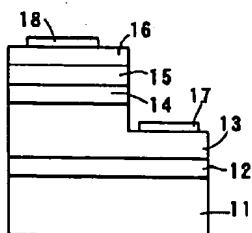
【図 17】



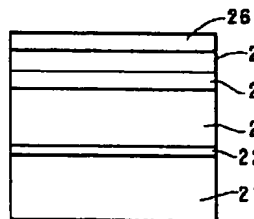
【図 18】



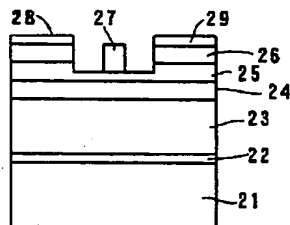
【図 19】



【図 20】



【図 21】



フロントページの続き

(51) Int. Cl. 7

H01L 29/737  
21/331  
21/338  
29/812

識別記号

FI

H01L 29/72  
29/80

テマコード (参考)

H  
F

(72) 発明者 江川 孝志

愛知県名古屋市昭和区御器所町 名古屋工  
業大学内

(72) 発明者 石川 博康

愛知県名古屋市昭和区御器所町 名古屋工  
業大学内

(72) 発明者 阿久津 仲男

東京都港区西新橋 1-16-7 日本酸素株  
式会社内

(72) 発明者 松本 功

東京都港区西新橋 1-16-7 日本酸素株  
式会社内

F ターム(参考) 4M104 AA04 BB05 BB06 BB07 BB14  
CC01 CC03 DD22 DD34 DD68  
DD71 DD78 DD83 FF03 FF17  
FF31 GG03 GG04 GG06 GG12  
HH11 HH15 HH17  
5F003 BA92 BC08 BE90 BH08 BH99  
BM02 BM03 BP12 BP32 BZ01  
BZ03  
5F004 DA01 DA04 DA11 DA17 DA22  
DA24 DA26 DB19 EB01 FA01  
FA08  
5F041 AA40 AA44 CA12 CA22 CA40  
CA49 CA57 CA65 CA73 CA75  
CA77 CA82 CA92 CA99  
5F102 FA02 GB01 GC01 GD01 GJ10  
GK04 GK08 GL04 GM04 GN04  
GR04 GT03 HC01 HC15